



(19)

(11) Publication number: 2001267555 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000080242

(51) Intl. Cl.: H01L 29/778 H01L 21/338 H01L 29/812 H01L  
21/306 H01L 21/316 H01L 29/205 H01L 21/331  
H01L 29/73 H01S 5/028 H01S 5/323

(22) Application date: 22.03.00

(30) Priority:

(43) Date of application publication: 28.09.01

(84) Designated contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: NISHII KATSUNORI  
INOUE KAORU  
MATSUNO TOSHINOBU  
IKEDA YOSHITO  
MASATO HIROYUKI

(74) Representative:

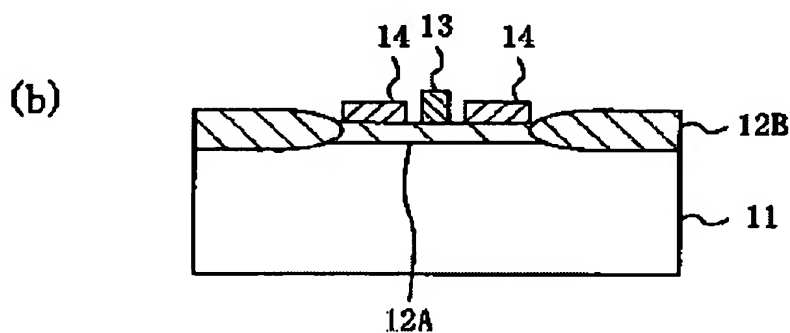
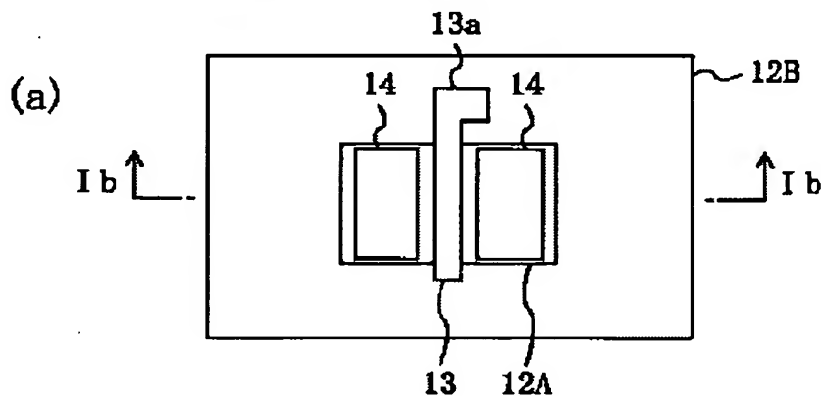
(54) SEMICONDUCTOR DEVICE  
AND ITS MANUFACTURING  
METHOD

(57) Abstract:

**PROBLEM TO BE SOLVED:** To enable forming an insulating film which is superior in adhesivity with group III nitride semiconductor and electrical or optical characteristics.

**SOLUTION:** This semiconductor device is provided with an active region 12A, composed of GaN based semiconductor grown on a substrate 11 composed of Si, and an insulating oxide film 12B which is formed through oxidation of the GaN based semiconductor and arranged around the active region 12A. On the active region 12A, a gate electrode 13, which makes Schottky-contact with the active region 12A and formed so as to stretch on the insulating oxide film 12A and has a lead-out part 13a on the insulating oxide film 12B, and ohmic electrodes 14, which have intervals from both side portions in a gate longitudinal side of the gate electrode 13, are turned into a source electrode and a drain electrode.

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-267555  
(P2001-267555A)

(43)公開日 平成13年9月28日(2001.9.28)

| (51)Int.Cl. <sup>7</sup>             | 識別記号 | F I            | テ-リ-ド*(参考)  |
|--------------------------------------|------|----------------|-------------|
| H 0 1 L 29/778                       |      | H 0 1 L 21/316 | S 5 F 0 0 3 |
| 21/338                               |      | 29/205         | 5 F 0 4 3   |
| 29/812                               |      | H 0 1 S 5/028  | 5 F 0 5 8   |
| 21/306                               |      | 5/323          | 5 F 0 7 3   |
| 21/316                               |      | H 0 1 L 29/80  | H 5 F 1 0 2 |
| 審査請求 未請求 請求項の数16 O L (全 19 頁) 最終頁に続く |      |                |             |

(21)出願番号 特願2000-80242(P2000-80242)

(22)出願日 平成12年3月22日(2000.3.22)

(出願人による申告) 国等の委託研究の成果に係る特許出願(平成11年度新エネルギー・産業技術総合開発機構地域コンソーシアム研究開発事業委託研究、産業活性再生特別措置法第30条の適用を受けるもの)

(71)出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 西井 勝則

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者 井上 薫

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外1名)

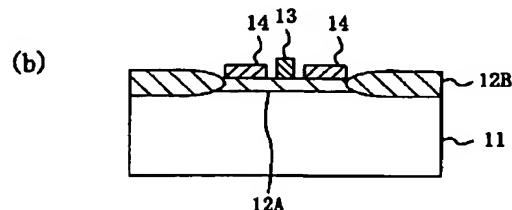
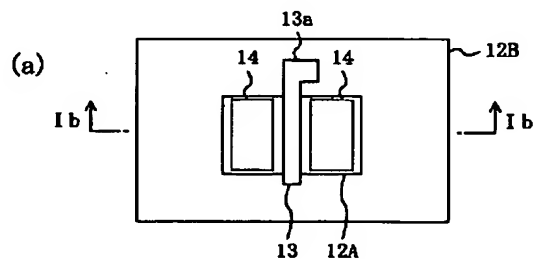
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 III族窒化物半導体との密着性、電気的特性又は光学的特性に優れた絶縁膜を形成できるようにする。

【解決手段】 半導体装置は、SiCからなる基板11上に成長したGa<sub>0.5</sub>N<sub>0.5</sub>系半導体からなる活性領域12Aと、該活性領域12Aの周囲にGa<sub>0.5</sub>N<sub>0.5</sub>系半導体が酸化されてなる絶縁酸化膜12Bとを有している。活性領域12Aの上には、該活性領域12Aとショットキ接触すると共に、絶縁酸化膜12Bの上に延びるように形成され該絶縁酸化膜12B上に引き出し部13aを有するゲート電極13と、該ゲート電極13のゲート長方向側の両側部と間隔をおき、それぞれがソース電極及びドレイン電極となるオーミック電極14とが形成されている。



【特許請求の範囲】

【請求項 1】 基板の上に形成された III 族窒化物半導体からなる活性領域と、

前記基板上における前記活性領域の周辺部に形成され、前記 III 族窒化物半導体が酸化されてなる絶縁酸化膜とを備えていることを特徴とする半導体装置。

【請求項 2】 前記活性領域の上に形成されたオーミック電極と、  
前記活性領域から前記絶縁酸化膜の上に延びるように形成されたゲート電極とをさらに備えていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 ウェハ状の基板のスクライプ領域に囲まれてなる複数の素子形成領域にそれぞれ形成された III 族窒化物半導体からなる複数の半導体装置であって、前記基板上における前記スクライプ領域の周辺部に形成され、前記 III 族窒化物半導体が酸化されてなる保護酸化膜を備えていることを特徴とする半導体装置。

【請求項 4】 基板の上に形成された III 族窒化物半導体からなる活性領域と、

前記基板上に形成され、前記活性領域と電気的に接続されているパッド電極とを備え、

前記基板と前記パッド電極との間には、前記 III 族窒化物半導体が酸化されてなる絶縁酸化膜が形成されていることを特徴とする半導体装置。

【請求項 5】 基板の上に形成され、複数の III 族窒化物半導体からなる共振器を有するレーザ構造体と、  
前記レーザ構造体における前記共振器の端面を含む側面に形成され、前記 III 族窒化物半導体が酸化されてなる保護酸化膜とを備えていることを特徴とする半導体装置。

【請求項 6】 基板の上に III 族窒化物半導体層を形成する半導体層形成工程と、

前記 III 族窒化物半導体層の上に、該 III 族窒化物半導体層の活性領域を覆う保護膜を形成する保護膜形成工程と、

形成された保護膜をマスクとして前記 III 族窒化物半導体層を酸化することにより、前記基板の上の前記活性領域を除く領域に前記 III 族窒化物半導体層が酸化されてなる絶縁酸化膜を形成する酸化膜形成工程と、

前記保護膜を除去することにより、前記活性領域を露出する活性領域露出工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 7】 前記活性領域露出工程よりも後に、前記活性領域の上にオーミック電極を形成するオーミック電極形成工程と、

前記活性領域の上に前記絶縁酸化膜上にわたって延びるゲート電極を形成するゲート電極形成工程とをさらに備えていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記半導体層形成工程と前記保護膜形成

工程との間に、

前記 III 族窒化物半導体層をアンモニアにさらすアンモニア処理工程をさらに備えていることを特徴とする請求項 6 又は 7 に記載の半導体装置の製造方法。

【請求項 9】 前記アンモニア処理工程は、前記アンモニアをプラズマ化する工程を含むことを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 ウェハ状の基板の上に III 族窒化物半導体層を形成する半導体層形成工程と、

10 前記 III 族窒化物半導体層に、該 III 族窒化物半導体層に形成される複数の素子形成領域と、各素子形成領域をそれぞれチップ状に分割する際の分割領域であるスクライプ領域とを設定する領域設定工程と、

前記スクライプ領域の上に該スクライプ領域を覆う保護膜を形成する保護膜形成工程と、

形成された保護膜をマスクとして前記 III 族窒化物半導体層を酸化することにより、前記基板の上の前記スクライプ領域の側方の領域に前記 III 族窒化物半導体層が酸化されてなる保護酸化膜を形成する酸化膜形成工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 11】 前記保護膜は、シリコン、酸化シリコン又は窒化シリコンからなることを特徴とする請求項 6 ～ 10 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 12】 基板の上に III 族窒化物半導体層を形成する半導体層形成工程と、

前記 III 族窒化物半導体層に、該 III 族窒化物半導体層に形成される素子形成領域と、該素子形成領域に形成される素子の外部との導通を図るパッド電極形成領域とを設定する領域設定工程と、

30 前記 III 族窒化物半導体層の上における前記パッド電極形成領域を除く領域を覆う保護膜を形成する保護膜形成工程と、

形成された保護膜をマスクとして前記 III 族窒化物半導体層を酸化することにより、前記基板の上の前記パッド電極形成領域に前記 III 族窒化物半導体層が酸化されてなる絶縁酸化膜を形成する酸化膜形成工程と、

前記絶縁酸化膜の上にパッド電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 13】 前記酸化膜形成工程は、前記 III 族窒化物半導体層を酸素雰囲気中で熱処理を行なう工程を含むことを特徴とする請求項 6、10 又は 12 に記載の半導体装置の製造方法。

【請求項 14】 前記酸化膜形成工程は、前記 III 族窒化物半導体層に対して酸素のイオン注入を行ないながら熱処理を行なう工程を含むことを特徴とする請求項 6、10 又は 12 に記載の半導体装置の製造方法。

【請求項 15】 基板の上に、複数の III 族窒化物半導体層を形成することにより、前記複数の III 族窒化物半導体層からなり共振器を含むレーザ構造体を形成するレーザ構造体形成工程と、

前記レーザ構造体における前記共振器の両端面を露出する工程と、

前記レーザ構造体の前記両端面を含む両側面を酸化することにより、前記両側面に前記III族窒化物半導体層が酸化されてなる保護酸化膜を形成する酸化膜形成工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項16】 前記酸化膜形成工程は、前記III族窒化物半導体層を酸素雰囲気中で熱処理を行なう工程を含むことを特徴とする請求項15に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一般式  $In_xAl_{1-x}Ga_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ ) で表わされるIII族窒化物半導体からなる半導体装置に関し、特にIII族窒化物半導体が酸化されてなる酸化膜を有する半導体装置に関する。

【0002】

【従来の技術】  $In_xAl_{1-x}Ga_{1-x-y}N$  の組成を持つIII族窒化物半導体、いわゆる窒化ガリウム (GaN) 系化合物半導体は、電子のバンド間遷移が直接遷移であり且つバンドギャップが1.95 eV~6 eVまで広範囲にわたって変化するため、LEDや半導体レーザ素子等の発光デバイスの材料として有望視されている。

【0003】 近年、特に情報処理機器の高密度化及び高集積度化を実現するため、青紫色の波長を出力できる半導体レーザ素子の開発が盛んに行なわれている。また、GaNは高い絶縁破壊電界強度、高い熱伝導率及び高い電子飽和速度を有しているため、高周波用のパワーデバイス材料としても有望である。なかでも、AlGaN/GaNからなるヘテロ接合構造は、電界強度が  $1 \times 10^6$  V/cmにまで及び、ヒ化ガリウム (GaAs) の2倍以上の電子速度を有するため、素子の微細化と共に高周波動作が期待できる。

【0004】 III族窒化物半導体は、IV族元素のシリコン (Si) 又はゲルマニウム (Ge) 等からなるn型ドーパントをドーピングすることによりn型特性を示すことから、電界効果トランジスタ (FET) への展開が図られている。また、III族窒化物半導体は、II族元素のマグネシウム (Mg)、バリウム (Ba) 又はカルシウム (Ca) 等からなるp型ドーパントをドーピングすることによりp型特性を示すことから、p型半導体とn型半導体とのpn接合構造からなるLEDや半導体レーザ素子への展開が図られている。電子デバイスでは、電子の輸送特性に優れたAlGaN/GaN系HEMT (High Electron Mobility Transistor) が広く検討されている。

【0005】 以下、従来のAlGaN/GaN系HEMTについて図面を参照しながら説明する。

【0006】 図23 (a) 及び図23 (b) は従来のA

lGaN/GaN系HEMTであって、(a) は平面構成を示し、(b) は(a) のXXIIb-XXIIb線における断面構成を示している。図23 (a) 及び図23 (b) に示すように、シリコンカーバイド (SiC) からなる基板101の上には、第1のHEMT100Aと第2のHEMT100Bとが、基板101をトランジスタごとにチップとして分割するためのスクライプ領域110を隔てて形成されている。

【0007】 第1のHEMT100A及び第2のHEMT100Bは、それぞれ、基板101の上に成長したGaNからなるバッファ層102の上に形成され、AlGaN/GaNのヘテロ接合層がメサエッチングされてなる活性領域103を有している。

【0008】 各活性領域103の上には、該活性領域103とショットキ接触するゲート電極104と、該ゲート電極104のゲート長方向側の両側部と間隔をおき且つ活性領域103とそれぞれオーミック接触するオーミック電極105とが形成されている。

【0009】 各活性領域103の上方及びその周辺部はゲート電極104及びオーミック電極105を含めて全面にわたって絶縁膜106により覆われており、各絶縁膜106の上には、各ゲート電極104及び各オーミック電極105とそれぞれ電気的に接続されたパッド電極107が形成されている。各絶縁膜106は各パッド電極107が露出するように表面保護膜108により覆われている。

【0010】 活性領域103を覆う絶縁膜106は、一般にシリコン酸化膜等からなり、活性領域103の表面保護と、ゲート電極104を形成する際にリフトオフ法による該ゲート電極104の形成を容易にするために設けられている。

【0011】 ところで、図23 (a) に示すように、ゲート電極104は、パッド電極107と接続される引き出し部104aを設ける必要があるため、ゲート電極104は活性領域103の上だけでなく、メサエッチングにより露出したGaNからなるバッファ層102の上にも形成される。

【0012】

【発明が解決しようとする課題】 しかしながら、前記従来のAlGaN/GaN系HEMTは、引き出し部104aとバッファ層102とは金属と半導体との接触、いわゆるショットキ接触となるため、メサエッチング時の半導体表面のダメージ等によりリーク電流が発生し易いという問題がある。このリーク電流はトランジスタのピンチオフ特性に大きく影響し、トランジスタ特性の劣化を引き起こす。

【0013】 また、GaNからなるバッファ層102と絶縁膜106との密着性が十分ではないため、絶縁膜106上に形成されているパッド電極107のワイヤボンディング工程において該絶縁膜106が剥がれるという

問題がある。

【0014】さらに、SiCからなる基板101及びGaN系半導体はいずれも硬度が高く、SiやGaAsと比べてチップ分割のためのスクライプ処理を行なうことが極めて困難である。そのため、スクライプ時に活性領域103に達するようなクラックが発生して歩留りが低下したり、スクライプ領域110の近傍の表面保護膜108や絶縁膜106が剥がれてしまい、信頼性が低下するという問題がある。

【0015】また、III族窒化物半導体を積層してなるレーザ構造体を用いた半導体レーザ素子には、一般にサファイアからなる基板が用いられる。サファイアを基板に用いる場合には、サファイアと該サファイア上に形成されたレーザ構造体との結晶軸の違いから、劈開によってレーザ共振器構造を形成するのが困難なため、共振器構造をドライエッチングにより形成する場合が多い。しかしながら、ドライエッチングにより共振器を形成すると、形成された共振器端面に固有の欠陥が生じて非発光中心が形成されるため、動作電流（しきい値電流）が大きくなったり、信頼性を低下させたりするという問題がある。

【0016】本発明は、前記従来の問題に鑑み、その目的は、III族窒化物半導体との密着性、電気的特性又は光学的特性に優れる絶縁膜を形成できるようにすることにある。

【0017】

【課題を解決するための手段】前記の目的を達成するため、本発明は、III族窒化物半導体からなる半導体装置を該III族窒化物半導体自体が直接酸化されてなる酸化膜を有する構成とする。

【0018】具体的に、本発明に係る第1の半導体装置は、基板の上に形成されたIII族窒化物半導体からなる活性領域と、基板上における活性領域の周辺部に形成され、III族窒化物半導体が酸化されてなる絶縁酸化膜とを備えている。

【0019】第1の半導体装置によると、基板上における活性領域の周辺部に形成され、III族窒化物半導体が酸化されてなる絶縁酸化膜を備えているため、後述するように、III族窒化物半導体と該III族窒化物半導体の酸化物からなる酸化膜との結合強度は、例えばIII族窒化物半導体とシリコン酸化膜との結合強度よりも3倍程度も大きくなる。このため、絶縁酸化膜と基板又は絶縁酸化膜と活性領域との密着性が良好となり、絶縁酸化膜の剥がれ等を防止できるので、その結果、装置の歩留まり及び信頼性が向上する。

【0020】第1の半導体装置は、活性領域の上に形成されたオーミック電極と、活性領域から絶縁酸化膜の上に延びるように形成されたゲート電極とをさらに備えていることが好ましい。このようにすると、ゲート電極における絶縁酸化膜上に位置する部分をゲート電極の引き

出し部として用いても、該引き出し部はIII族窒化物半導体が酸化されてなる絶縁酸化膜との間でショットキ接触とならないため、この引き出し部にリーク電流が発生することがなくなるので、装置の信頼性が向上する。

【0021】本発明に係る第2の半導体装置は、ウェハ状の基板のスクライプ領域に囲まれてなる複数の素子形成領域にそれぞれ形成されたIII族窒化物半導体からなる複数の半導体装置を対象とし、基板の上におけるスクライプ領域の周辺部に形成され、III族窒化物半導体が酸化されてなる保護酸化膜を備えている。

【0022】第2の半導体装置によると、基板上におけるスクライプ領域の周辺部に、III族窒化物半導体が酸化されてなる保護酸化膜が形成されており、III族窒化物半導体と該保護酸化膜との結合強度はシリコン酸化膜等よりも大きいため、一のウェハ上に形成された複数の半導体装置をチップごと分割する際に、素子形成領域を覆っている絶縁膜が剥がれたり、素子形成領域にクラックが発生したりすることがないので、装置の歩留まり及び信頼性が向上する。

【0023】本発明に係る第3の半導体装置は、基板の上に形成されたIII族窒化物半導体からなる活性領域と、基板の上に形成され、活性領域と電気的に接続されているパッド電極とを備え、基板とパッド電極の間には、III族窒化物半導体が酸化されてなる絶縁酸化膜が形成されている。

【0024】第3の半導体装置によると、基板とパッド電極の間には、III族窒化物半導体が酸化されてなる絶縁酸化膜が形成されているため、III族窒化物半導体とその絶縁酸化膜との結合強度はシリコン酸化膜等よりも大きいため、パッド電極が基板から剥がれることがなくなり、装置の歩留まり及び信頼性が向上する。

【0025】本発明に係る第4の半導体装置は、基板の上に形成され、複数のIII族窒化物半導体からなる共振器を有するレーザ構造体と、レーザ構造体における共振器の端面を含む側面に形成され、III族窒化物半導体が酸化されてなる保護酸化膜とを備えている。

【0026】第4の半導体装置によると、レーザ構造体における共振器の端面を含む側面に、III族窒化物半導体が酸化されてなる保護酸化膜が形成されているため、共振器ミラーのミラー面が、エッチング端面と保護酸化膜との界面により形成されてエッチング端面のままでなくなるので、エッチングによる欠陥等の影響を受けなくなる。その上、III族窒化物半導体を直接酸化させているため、端面コートの不具合によるリーク電流も生じなくなるので、高い信頼性を得ることができる。

【0027】本発明に係る第1の半導体装置の製造方法は、基板の上にIII族窒化物半導体層を形成する半導体層形成工程と、III族窒化物半導体層の上に該III族窒化物半導体層の活性領域を覆う保護膜を形成する保護膜形成工程と、形成された保護膜をマスクとしてIII族窒

10

20

30

40

50

化物半導体層を酸化することにより、基板の上の活性領域を除く領域にIII族窒化物半導体層が酸化されてなる絶縁酸化膜を形成する酸化膜形成工程と、保護膜を除去することにより活性領域を露出する活性領域露出工程とを備えている。

【0028】第1の半導体装置の製造方法によると、II族窒化物半導体層の素子形成領域を覆う保護膜を形成した後、形成された保護膜をマスクとしてIII族窒化物半導体層を酸化することにより、基板の上の活性領域を除く領域に絶縁酸化膜を形成するため、本発明の第1の半導体装置を確実に実現できる。

【0029】第1の半導体装置の製造方法は、活性領域露出工程よりも後に、活性領域の上にオーミック電極を形成するオーミック電極形成工程と、活性領域の上に絶縁酸化膜上にわたって延びるゲート電極を形成するゲート電極形成工程とをさらに備えていることが好ましい。

【0030】第1の半導体装置の製造方法は、半導体層形成工程と保護膜形成工程との間に、III族窒化物半導体層をアンモニアにさらすアンモニア処理工程をさらに備えていることが好ましい。このようにすると、活性領域となる素子形成領域の表面がアンモニアにより酸化物等が除去されて清浄化されるため、活性領域のコンタクト抵抗率が低減するので、装置の電気的特性が良好となる。

【0031】この場合に、アンモニア処理工程が、アンモニアをプラズマ化する工程を含むことが好ましい。

【0032】本発明に係る第2の半導体装置の製造方法は、ウェハ状の基板の上にIII族窒化物半導体層を形成する半導体層形成工程と、III族窒化物半導体層に、該III族窒化物半導体層に形成される複数の素子形成領域と、各素子形成領域をそれぞれチップ状に分割する際の分割領域であるスクライプ領域とを設定する領域設定工程と、スクライプ領域の上に該スクライプ領域を覆う保護膜を形成する保護膜形成工程と、形成された保護膜をマスクとしてIII族窒化物半導体層を酸化することにより、基板の上のスクライプ領域の側方の領域にIII族窒化物半導体層が酸化されてなる保護酸化膜を形成する酸化膜形成工程とを備えている。

【0033】第2の半導体装置によると、スクライプ領域の上に該スクライプ領域を覆う保護膜を形成した後、形成された保護膜をマスクとしてIII族窒化物半導体層を酸化することにより基板の上のスクライプ領域の側方の領域に保護酸化膜を形成するため、スクライプ工程において、素子形成領域を覆っている絶縁膜が剥がれたり、素子形成領域にクラックが発生したりしない本発明の第2の半導体装置を確実に実現できる。

【0034】第1及び第2の半導体装置の製造方法において、保護膜がシリコン、酸化シリコン又は窒化シリコンからなることが好ましい。

【0035】本発明に係る第3の半導体装置は、基板の

上にIII族窒化物半導体層を形成する半導体層形成工程と、III族窒化物半導体層に、該III族窒化物半導体層に形成される素子形成領域と、該素子形成領域に形成される素子の外部との導通を図るパッド電極形成領域とを設定する領域設定工程と、III族窒化物半導体層の上におけるパッド電極形成領域を除く領域を覆う保護膜を形成する保護膜形成工程と、形成された保護膜をマスクとしてIII族窒化物半導体層を酸化することにより、基板の上のパッド電極形成領域にIII族窒化物半導体層が酸化されてなる絶縁酸化膜を形成する酸化膜形成工程と、絶縁酸化膜の上にパッド電極を形成する工程とを備えている。

【0036】第3の半導体装置の製造方法によると、II族窒化物半導体層の上におけるパッド電極形成領域を除く領域を覆う保護膜を形成した後、形成された保護膜をマスクとしてIII族窒化物半導体層を酸化することにより、基板の上のパッド電極形成領域に絶縁酸化膜を形成するため、本発明の第3の半導体装置を確実に実現できる。

【0037】第1～第3の半導体装置の製造方法において、酸化膜形成工程がIII族窒化物半導体層を酸素雰囲気中で熱処理を行なう工程を含むことが好ましい。

【0038】また、第1～第3の半導体装置の製造方法において、酸化膜形成工程がIII族窒化物半導体層に対して酸素のイオン注入を行ないながら熱処理を行なう工程を含むことが好ましい。

【0039】本発明に係る第4の半導体装置の製造方法は、基板の上に、複数のIII族窒化物半導体層を形成することにより、複数のIII族窒化物半導体層からなり共振器を含むレーザ構造体を形成するレーザ構造体形成工程と、レーザ構造体における共振器の両端面を露出する工程と、レーザ構造体における共振器の両端面を含む両側面を酸化することにより、両側面にIII族窒化物半導体層が酸化されてなる保護酸化膜を形成する酸化膜形成工程とを備えている。

【0040】第4の半導体装置の製造方法によると、レーザ構造体における共振器の両端面を露出した後、レーザ構造体における共振器の両端面を含む両側面を酸化することにより、該両側面にIII族窒化物半導体層が酸化されてなる保護酸化膜を形成するため、本発明の第4の半導体装置を確実に実現できる。また、端面コートを形成する工程を省くことができるため、製造工程を簡略化できる。

【0041】第4の半導体装置の製造方法において、酸化膜形成工程がIII族窒化物半導体層を酸素雰囲気中で熱処理を行なう工程を含むことが好ましい。

【0042】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態について図面を参照しながら説明する。

【0043】図1(a)及び図1(b)は本発明の第1

の実施形態に係るGa<sub>0.5</sub>N<sub>0.5</sub>酸化分離型HEMTであって、(a)は平面構成を示し、(b)は(a)の1b-1b線における断面構成を示している。図1(a)及び図1(b)に示すように、本実施形態に係るHEMTは、例えば、SiCからなる基板11上に成長したGa<sub>0.5</sub>N<sub>0.5</sub>系半導体からなる活性領域12Aと、該活性領域12Aの周囲にGa<sub>0.5</sub>N<sub>0.5</sub>系半導体が酸化されてなる絶縁酸化膜12Bとを有している。

【0044】活性領域12Aの上には、該活性領域12Aとショットキ接触すると共に、絶縁酸化膜12B上に延びるように形成され該絶縁酸化膜12B上に引き出し部13aを有するゲート電極13と、該ゲート電極13のゲート長方向側の両側部と間隔をおき、それぞれがソース電極及びドレイン電極となるオーミック電極14とが形成されている。

【0045】ここで、従来のメサ分離型HEMTと本実施形態に係る酸化分離型HEMTとにおけるショットキ電極とオーミック電極との間の電圧-電流特性を比較する。図24は従来のメサ分離型HEMTを模した擬似素子の断面構成を示している。すなわち、SiCからなる基板121上には、Ga<sub>0.5</sub>N<sub>0.5</sub>系半導体からなる島状の活性層122と、該活性層122の上に形成された島状のオーミック電極123と、活性層122と間隔をおき且つ基板とショットキ接触するショットキ電極124とが設けられている。ここでは、このショットキ電極124が図23(a)に示す引き出し部104aと対応する。この擬似素子は、図25のような整流特性を示し、逆方向耐圧は大きいもののリーク電流はマイクロアンペア(μA)オーダーで流れる。このように、図23(a)及び図23(b)に示す従来のメサ分離型HEMTはゲート電極104の引き出し部104aがメサ分離されたGa<sub>0.5</sub>N<sub>0.5</sub>からなるバッファ層102上に形成されているため、ゲート電極104の引き出し部104aとバッファ層102との接触がショットキ接触となり、リーク電流が発生し易いことが分かる。

【0046】一方、本実施形態に係る酸化分離型HEMTにおける絶縁酸化膜12B上のショットキ電極13と活性領域12A上のオーミック電極14との間の電圧-電流特性は、図2に示すように、各電極間に100V以上の電圧を印加してもナノアンペア(nA)オーダーの電流しか流れない。

【0047】図3はそれぞれのゲート幅が100μmの、本実施形態に係る酸化分離型HEMTと従来のメサ分離型HEMTとのドレイン電流のゲート電圧依存性を示している。ゲート電圧が高く、ドレイン電流が大きく流れる領域では特性に差は現われないが、ドレイン電流を絞り込んだピンチオフ付近では大きな差が現われている。すなわち、従来のメサ分離型HEMTにおいては、ゲート電極104の引き出し部104aに生じるリーク電流によってピンチオフ特性が劣化していることが分か

る。

【0048】このように、本実施形態に係る酸化分離型HEMTは、従来のメサ分離型HEMTのようにゲート電極の引き出し部13aにおけるリーク電流が発生せず、ピンチオフ特性に優れたHEMTを得ることができる。

【0049】また、本実施形態に係る酸化分離型HEMTは、絶縁酸化膜12Bが、活性領域12AとなるIII族窒化物半導体(GaN)自体の酸化により形成されているため、活性領域12Aの側端部と絶縁酸化膜12Bとの境界部分にはメサ型HEMTのような段差部が形成されず、なだらかとなる。このため、従来のHEMTのゲート電極104は、例えば製造時に活性領域103の側端部とバッファ層102の上面とからなる段差部によりゲート電極104が途切れる、いわゆる段切れが発生する虞があるが、本実施形態はその虞がなく、高い信頼性を確保することができる。

【0050】なお、本実施形態においては、HEMTについて説明したが、これに限らず電界効果型トランジスタ(MESFET)やヘテロバイポーラトランジスタ(HBT)等の素子分離が必要なデバイスであれば同様の効果を奏する。

【0051】また、本実施形態に係るHEMTは基板にSiCを用いたが、これに限らず、サファイア等の、II族窒化物半導体からなる活性領域がエピタキシャル成長可能な基板であればよい。

【0052】以下、前記のように構成された酸化分離型HEMTの製造方法について図面を参照しながら説明する。

【0053】図4(a)～図4(c)及び図5(a)～図5(c)は本実施形態に係る酸化分離型HEMTの製造方法の工程順の断面構成を示している。

【0054】まず、図4(a)に示すように、例えば電子線エピタキシ(MBE)法を用いて、SiCからなる基板11の上に、Ga<sub>0.5</sub>N<sub>0.5</sub>/AlGa<sub>0.5</sub>N<sub>0.5</sub>の積層体12を形成する。なお、積層体12の詳細な構成は後述する。

【0055】次に、図4(b)に示すように、例えば化学的気相成長(CVD)法又はMBE法等を用いて積層体12の上に全面にわたってSiからなる保護膜形成膜を形成し、その後、形成した保護膜形成膜に対してリソグラフィ法によるパターニングを行なって、積層体12の上の島状の活性領域形成領域20を覆う保護膜21を形成する。

【0056】次に、図4(c)に示すように、積層体12上に保護膜21を形成したまま、温度が約900℃の酸素雰囲気中で1時間程度の熱処理を行なうことにより、積層体12における活性領域12Aを除く領域に積層体12が酸化されてなる絶縁酸化膜12Bを形成する。

【0057】次に、図5(a)に示すように、保護膜21を弗硝酸を用いて除去することにより、活性領域12



Aを露出し、その後、図5(b)に示すように、蒸着法及びリソグラフィ法を用いて、活性領域12Aの上に、それぞれTi/AIからなるオーミック電極14を選択的に形成する。

【0058】次に、図5(c)に示すように、蒸着法及びリソグラフィ法を用いて、活性領域12Aの上に、各オーミック電極14の間にそれぞれ間隔をおくと共に絶縁酸化膜12B上にわたって延びるように、例えばPd/Ti/Auからなるゲート電極13を選択的に形成する。この後は、図示はしていないが、活性領域12Aの上方及び周辺部にゲート電極13及び各オーミック電極14を含めて全面に、例えばシリコン酸化膜からなる保護絶縁膜を形成する。さらに、該保護絶縁膜の上に、各ゲート電極13及びオーミック電極14とそれぞれ電気的な導通を図る、例えばTi/Auからなるパッド電極を形成する。

【0059】このように、本実施形態に係るHEMTは、活性領域12Aを構成するIII族窒化物半導体をそのまま酸化させることにより素子分離を行なっている。そこで、前記のように形成された活性領域12Aと絶縁酸化膜12Bとの素子間分離特性及び活性領域12Aの基板特性は、HEMTの動作特性に極めて重要となるので、以下これを検証する。

【0060】図6は検証に用いた積層体12の断面構成を示している。積層体12は、基板11上に順次成長した、厚さが約100nmのAlNからなるバッファ層31、厚さが約3μmの真性GaNからなる活性層32、厚さが約2nmの真性AlGaNからなる第1障壁層33、厚さが約25nmのn型AlGaNからなる第2障壁層34層及び厚さが約3nmの真性AlGaNからなる第3障壁層35により構成されている。

【0061】図7は積層体12を900℃の酸素雰囲気中で熱処理を行なった際の絶縁酸化膜12Bの膜厚の熱処理時間依存性を示している。図7に示すように、熱処理を1時間行なうと、膜厚が約100nmの絶縁酸化膜が形成され、4時間の熱処理を行なうと膜厚は約200nmとなる。図6に示すように、HEMTの障壁層33～35の総膜厚は約30nmであるため、絶縁酸化膜12Bの膜厚は100nm程度であれば十分である。

【0062】図8は絶縁酸化膜12Bの膜厚と素子間のリーク電流との関係を示し、絶縁酸化膜12Bの膜厚が80nm以上であれば良好な分離特性が得られることが分かる。従って、図7及び図8の関係から、熱処理温度が900℃の場合には、1時間程度の熱処理を行なえば、十分な素子分離を実現できることが分かる。

【0063】なお、酸化膜形成工程において、熱処理を酸素雰囲気で行なう代わりに、酸素イオンを積層体12に注入しながら絶縁酸化膜12Bを形成してもよい。

【0064】次に、基板特性を検証する。

【0065】HEMTの活性領域12Aは熱処理によ

てその基板特性が劣化してはならない。そのため、本実施形態においては、熱処理による活性領域12Aの酸化を防止するため、保護膜21にシリコン(Si)を用いている。

【0066】図9(a)～図9(c)は本実施形態に係るHEMTのオージェ電子分光(AES)分析による基板の深さ方向の原子のプロファイルであって、図9

(a)は温度が900℃で1時間の熱処理を行ない保護膜21を除去した後の素子分離部(絶縁酸化膜12B)を示し、図9(b)は膜厚が約100nmの保護膜21によりマスクされた状態の活性領域12Aを示し、図9(c)は比較用であって熱処理を施さない状態の積層体12を示している。ここで、各グラフ中における、Gaはガリウム原子のプロファイルを示し、Nは窒素原子のプロファイルを示し、Oは酸素原子のプロファイルを示している。また、積層体12における酸素原子のプロファイルに着目しているため、微量のアルミニウム原子は省略している。ここで、横軸はサンプルの表面からの深さ(nm)を表わし、縦軸は相対値(ピークトピーク)を表わしている。

【0067】図9(a)に示すように、素子分離部において熱処理前の積層体12の構造が大きく崩れ、酸素原子が上面から活性層32にまで拡散して絶縁酸化膜12Bが形成されていることが分かる。この場合の絶縁酸化膜12Bの膜厚は約100nmである。

【0068】また、図9(b)に示すように、Siからなる保護膜21でマスクされた活性領域12Aは、保護膜21の上部の酸化が観測されるものの保護膜21と活性領域12Aとの界面の反応もなく、図9(c)における未処理のプロファイルと比べても、活性領域12Aの構造が変化せず熱処理前の構造が維持されていることが分かる。

【0069】さらに、[表1]に熱処理の前後における積層体12のシートキャリア濃度とキャリア移動度とをホール測定法により室温で測定した評価結果を示す。

【0070】

[表1]

|                                | 熱処理前                 | 熱処理後                 |
|--------------------------------|----------------------|----------------------|
| キャリア濃度( $\text{cm}^{-3}$ )     | $1.4 \times 10^{13}$ | $1.5 \times 10^{13}$ |
| 移動度( $\text{cm}^2/\text{Vs}$ ) | 741                  | 766                  |

【0071】シートキャリア濃度及びキャリア移動度は共に熱処理の前後で大きな変化はなく、AES分析による分析結果と同様、この測定結果からも保護膜21により活性領域12Aが保護されていることが分かる。

【0072】また、本発明においては、熱処理後の保護膜21の除去処理も重要となる。保護膜21が完全に除



去できなかったり、除去時に活性領域12Aが損傷を負うと、トランジスタ特性に劣化を来す。その上、保護膜21の除去時に絶縁酸化膜12Bがエッチングされてはならない。

【0073】そこで、本実施形態においては、Siからなる保護膜21の除去に弗硝酸を用いたウェットエッチングを行なっている。

【0074】図10は熱処理後の保護膜21と絶縁酸化膜12Bとの弗硝酸によるウェットエッチングのエッチング量の時間依存性を示している。図10に示すように、保護膜21は容易にエッチングされるが、絶縁酸化膜12Bはほとんどエッチングされていないことが分かる。

【0075】なお、本実施形態においては、弗硝酸を用いたウェットエッチングにより保護膜21の除去を行なったが、他のエッチング液を用いてもよい。また、エッチングにはドライエッチングを用いてもよい。

【0076】また、保護膜21にシリコンを用いたが、酸化シリコンや窒化シリコン等の、熱処理による活性領域12Aの劣化を防止できる材料であればよい。この場合のエッチング液は、酸化シリコンであれば弗酸を含む溶液、例えばバッファード弗酸(BHF)であればよく、窒化シリコンであれば熱燐酸のような燐酸を含む溶液であればよい。

【0077】(第1の実施形態の一変形例)以下、本実施形態の一変形例に係る半導体装置の製造方法について図面を参照しながら説明する。本変形例は、図4(a)に示す積層体形成工程と図4(b)に示す保護膜形成工程との間に、積層体12の上面をプラズマ化されたアンモニアガスにさらすアンモニア処理工程を設けることを特徴とする。

【0078】図11は活性領域12A上に形成されたオーミック電極14のコンタクト抵抗をTLM(Transmission Line Method)法により評価した評価結果を示している。ここでは、オーミック電極14の幅を約100 $\mu$ mとし、各オーミック電極14の間隔を2 $\mu$ m、4 $\mu$ m、6 $\mu$ m及び8 $\mu$ mの4通りとしている。また、実線は本変形例のアンモニア処理の結果を表わし、破線は比較用のアンモニア処理を施さない場合を表わしている。図11に示すように、アンモニア処理を施した場合と未処理の場合の直線の傾きはほぼ同一であり、活性領域12Aの両者のシート抵抗には差がないことが分かる。一方、コンタクト抵抗は、アンモニア処理を施した場合は未処理の場合と比べて30%程度も低減している。このグラフから求めたコンタクト抵抗率は、未処理の場合でも $6 \times 10^{-6} \Omega \text{ cm}^2$ と比較的良好な値を示すが、アンモニア処理を施した場合には、 $3 \times 10^{-6} \Omega \text{ cm}^2$ にまで低減する。これは、アンモニア処理によって活性領域12Aの表面の酸化物等の変質物が除去されて清浄化されるためと考えられる。

【0079】なお、本変形例においては、アンモニア処理をプラズマ化されたアンモニアガスを用いて行なったが、アンモニア溶液による煮沸処理を行なってもよい。

【0080】(第2の実施形態)以下、本発明の第2の実施形態について図面を参照しながら説明する。

【0081】図12は本発明の第2の実施形態に係るGaN系半導体装置におけるスクライプ領域の断面構成を示している。本実施形態に係るGaN系半導体装置は、ウェハ上に複数の半導体装置が形成され、その後、各半導体装置をチップとして分割する際のスクライプ領域の周辺部に、GaN系半導体自体が酸化されてなる保護酸化膜を備えていることを特徴とする。図12に示すように、例えばSiCからなるウェハ状の基板42の主面は、チップ形成領域40と該チップ形成領域40同士の間 に 設けられたスクライプ領域41とに区画されている。

【0082】基板42の主面上におけるスクライプ領域41には、チップ形成領域40の中央部に設けられる素子形成領域(図示せず)においてトランジスタ等の活性層となるGaN系半導体からなる積層体43Aが形成されており、該主面上におけるスクライプ領域41のチップ形成領域40側の周辺部には、積層体43Aが酸化されてなる保護酸化膜43Bと、該保護酸化膜43Bの上に形成されたシリコン酸化膜等からなる表面保護膜である絶縁膜44とが形成されている。

【0083】従来GaN系半導体装置にあっては、スクライプ領域41の周辺部がGaN系半導体との結合強度が相対的に小さいシリコン酸化膜等からなる絶縁膜44によって覆われているため、スクライプ(チップ分割)時に、絶縁膜44が剥がれ易い。しかしながら、本実施形態の絶縁膜44は、該絶縁膜44と結合強度が相対的に大きい、GaN系半導体が酸化されてなる保護絶縁膜43Bの上に形成されているため、基板42をチップごと分割する際に、積層体43Aや基板42にクラックが生じたり、絶縁膜44が剥がれたりすることを防止できる。

【0084】図13は本実施形態に係るウェハ状態の半導体装置と従来のウェハ状態の半導体装置とにおけるスクライプ時の不良率とスクライプ領域の幅との関係を比較した結果を表わしている。スクライプ領域の幅が100 $\mu$ mの場合の各チップの表面状態を観察すると、従来の半導体装置のチップは、約20%のサンプルに不良が生じ、スクライプ領域の積層体に生じたクラックがチップの周縁部又はその内側にまで入り込み、素子形成領域上の絶縁膜に剥がれが生じている。

【0085】一方、本実施形態に係る半導体装置を観察すると、スクライプ領域41における積層体43Aにクラックが発生しても、該クラックは保護酸化膜43Bとの境界部分で止まっており、チップ形成領域40への侵入は見られない。

【0086】図13から分かるように、スクライプ領域41の周辺部に、Ga<sub>0.5</sub>N系半導体を酸化した保護酸化膜43Aを設けているため、スクライプ領域41の幅を100μm程度にまで縮小しても、幅が150μmのスクライプ領域を持つ従来の半導体装置よりも不良率は低い。その結果、本実施形態に係る半導体装置は、スクライプ領域41の幅を小さくしてもスクライプ時の不良率を小さくできるため、一の基板41（ウェハ）からの半導体装置の取れ数を増大できる。その上、絶縁膜44の剥がれを防止できるため、装置の信頼性も大幅に向上する。

【0087】なお、本実施形態においては、保護酸化膜43Bをチップ形成領域40にまで形成しているが、図14に示すように、その一変形例として、保護酸化膜43Cをスクライプ領域41の側部に沿うように環状に設けてもよい。この保護酸化膜43Cの幅は5μm程度であれば十分である。

【0088】また、本実施形態においては、基板42にSiCを用いたが、サファイア等のGa<sub>0.5</sub>N系半導体からなる積層体43Aがエピタキシャル成長可能な基板であればよい。

【0089】以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

【0090】図15（a）～図15（c）、図16（a）及び図16（b）は本実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。

【0091】まず、図15（a）に示すように、例えば電子線エピタキシ（MBE）法を用いて、SiCからなるウェハ状の基板42の上に、Ga<sub>0.5</sub>N／AlGa<sub>0.5</sub>Nの積層体43Aを形成する。

【0092】次に、図15（b）に示すように、複数のチップ形成領域40と該複数のチップ形成領域40同士の間スクライプ領域41を設ける。該スクライプ領域41には、CVD法等を用いて積層体43Aの上にSiからなる保護膜形成膜を形成し、その後、形成した保護膜形成膜に対してリソグラフィ法によるパターンニングを行なうことにより、基板42の上におけるスクライプ領域41を覆う保護膜21を形成する。

【0093】次に、図15（c）に示すように、積層体43A上に保護膜21を形成したまま、温度が約900℃の酸素雰囲気中で1時間程度の熱処理を行なうことにより、積層体43Aにおけるスクライプ領域41の両側に位置するチップ形成領域40に積層体43Aが酸化されてなる保護酸化膜43Bが形成される。

【0094】この保護酸化膜43Bの形成工程は、チップ形成領域40の中央部の素子形成領域（図示せず）にトランジスタ等の半導体素子を形成する前であっても後であってもよい。但し、比較的高温の熱酸化処理を行なうため、良好な素子特性を維持するためには、素子を形成する前の方が好ましい。この場合には、第1の実施形

態の図4（c）に示した保護膜21の形成工程と同一の工程で行なえばよい。

【0095】次に、図16（a）に示すように、保護膜21を弗硝酸を用いて除去し、その後、図16（b）に示すように、CVD法等を用いてチップ形成領域40の上に全面にわたって、例えば酸化シリコンからなる表面保護用の絶縁膜44を形成し、その後、リソグラフィ法を用いて絶縁膜44に対して選択的にエッチングを行なうことで、積層体43Aにおけるスクライプ領域41を露出する。

【0096】このように、本実施形態によると、保護酸化膜43BがGa<sub>0.5</sub>N系半導体からなる積層体43Aの酸化物であるため、基板42及び絶縁膜44との密着性が高い。また、スクライプ領域41において、積層体43Aと保護酸化膜43Bとが連続しているため、該保護酸化膜43Bによって基板42のスクライプ時にクラックが生じたとしても、生じたクラックがチップ形成領域40の周縁部又はその内側にまで達することを阻止できる。

【0097】なお、本実施形態においては、保護酸化膜43Bの形成時に、積層体43Aのスクライプ領域41をマスクする保護膜21にシリコンを用いたが、これに限らず、シリコン酸化膜又はシリコン窒化膜等の熱処理による積層体43Aの劣化を防止できる材料であればよい。

【0098】また、弗硝酸を用いたウェットエッチングにより保護膜21の除去を行なったが、他のエッチング液を用いてもよく、エッチングにはドライエッチングを用いてもよい。

【0099】また、保護酸化膜43Bを形成する熱酸化工程は、酸素雰囲気中の代わりに、Ga<sub>0.5</sub>N系半導体からなる積層体43Aに対して酸素イオンを注入することにより行なってもよい。

【0100】（第3の実施形態）以下、本発明の第3の実施形態について図面を参照しながら説明する。

【0101】図17は本発明の第3の実施形態に係るGa<sub>0.5</sub>N系半導体装置における外部との入出力端子となるパッド電極部の断面構成を示している。図17に示すように、例えばSiCからなるウェハ状の基板52の主面は、素子形成領域50と該素子形成領域50に隣接して設けられたパッド電極形成領域51とに区画されている。

【0102】基板52の主面上における素子形成領域50にはトランジスタ等の活性層となるGa<sub>0.5</sub>N系半導体からなる積層体53Aが形成されており、パッド電極形成領域51には、積層体53Aが酸化されてなる絶縁酸化膜53Bと、該絶縁酸化膜53Bの上に形成された、例えばTi／Au／からなるパッド電極54とが形成されている。なお、図示はしていないが、該パッド電極54は素子形成領域50に形成される素子と（図示せず）と

配線によって電氣的に接続されることはいうまでもない。

【0103】このように、本実施形態に係るパッド電極54は、Ga<sub>0.5</sub>N系半導体からなる積層体53Aの上に、該積層体53Aが酸化されてなる絶縁酸化膜53Bを介在させて設けられているため、パッド電極54と基板52との密着性が高くなる。このため、例えば、パッド電極54のワイヤボンド工程において該パッド電極54が\*

\* 基板52から剥がれることを防止できる。

【0104】[表2]はSiCからなる基板上にエピタキシャル成長したGa<sub>0.5</sub>N層と種々の薄膜材との密着性、及びGa<sub>0.5</sub>N層の上部を酸化させた酸化層と種々の薄膜材との密着性を定量的に評価した結果を表わしている。ここでは、評価方法としてセバスチャン法を用いている。

【0105】

[表2]

| 層構造              | 引張り荷重(×9.8N/cm <sup>2</sup> ) |
|------------------|-------------------------------|
| GaN層上のシリコン酸化膜    | 350                           |
| GaN層上のシリコン窒化膜    | 320                           |
| GaN上のGaN酸化層      | 1080                          |
| GaN酸化層上のTi/Au多層膜 | 850                           |
| GaN酸化層上のAl       | 830                           |
| GaN酸化層上のシリコン酸化膜  | 920                           |
| GaN酸化層上のシリコン窒化膜  | 900                           |

【0106】[表2]から、Ga<sub>0.5</sub>N層と密着性が高い絶縁膜は、Ga<sub>0.5</sub>N層を酸化させたGa<sub>0.5</sub>N酸化層のみであることが分かる。さらに、Ga<sub>0.5</sub>N酸化層は、金属材料のみならずシリコンからなる絶縁膜との密着性にも優れていることが分かる。従って、高い密着性が必要とされるパッド電極部は、Ga<sub>0.5</sub>N系半導体からなる積層体53Aを酸化させてなる絶縁酸化膜53Bの上に形成することが極めて有効となる。

【0107】また、本実施形態においては、基板52にSiCを用いたが、サファイア等のGa<sub>0.5</sub>N系半導体からなる積層体53Aがエピタキシャル成長可能な基板であればよい。

【0108】以下、前記のように構成された半導体装置のパッド電極部の製造方法について図面を参照しながら説明する。

【0109】図18(a)～図18(c)、図19

(a)及び図19(b)は本実施形態に係る半導体装置のパッド電極部の製造方法の工程順の断面構成を示している。

【0110】まず、図18(a)に示すように、例えば電子線エビタキシ(MBE)法を用いて、SiCからなる基板52の上に、Ga<sub>0.5</sub>N/AlGa<sub>0.5</sub>Nの積層体53Aを形成する。

【0111】次に、図18(b)に示すように、積層体53Aの全領域を素子形成領域50とパッド電極形成領域51とに区画する。続いて、素子形成領域50には、CVD法等を用いて積層体53Aの上にSiからなる保護膜形成膜を形成し、その後、形成した保護膜形成膜に対してリソグラフィ法によるパターンニングを行なうことにより、基板52の上における素子形成領域50を覆う保護膜21を形成する。

【0112】次に、図18(c)に示すように、積層体53A上に保護膜21を形成したまま、温度が約900℃の酸素雰囲気中で1時間程度の熱処理を行なうことにより、積層体53Aにおけるパッド電極形成領域51に積層体53Aが酸化されてなる絶縁酸化膜53Bが形成される。

【0113】この絶縁酸化膜53Bの形成工程は、素子形成領域50にトランジスタ等の半導体素子を形成する前であっても後であってもよい。但し、比較的高温の熱酸化処理を行なうため、素子の特性を良好に維持するためには、素子を形成する前の方が好ましい。この場合には、第1の実施形態の図4(c)に示した保護膜21の形成工程、又は第2の実施形態の図15(c)に示した保護膜21の形成工程と同一の工程で行なえばよい。

【0114】次に、図19(a)に示すように、保護膜21を弗硝酸を用いて除去した後、図19(b)に示すように、例えば蒸着法及びリソグラフィ法を用いて、パッド電極形成領域51における絶縁酸化膜53Bの上に、Ti/Auからなるパッド電極54を選択的に形成する。

【0115】このように、本実施形態によると、パッド電極54がGa<sub>0.5</sub>N系半導体からなる積層体53Aが酸化されてなる絶縁酸化膜53B上に形成されるため、高い密着性を得ることができる。

【0116】なお、本実施形態においては、パッド電極54を絶縁酸化膜53Bの上に直接形成しているが、

[表2]に示すように、シリコンを含む絶縁膜はGa<sub>0.5</sub>N系半導体の酸化物との密着性が高いため、Ga<sub>0.5</sub>N系半導体の酸化物からなる絶縁酸化膜53Bとパッド電極54との間にシリコン酸化膜やシリコン窒化膜等の絶縁膜を介在させてもよい。

【0117】また、積層体53Aの素子形成領域50を保護する保護膜21としてシリコンを用いたが、これに限らず、シリコン酸化膜又はシリコン窒化膜等の熱処理による積層体53Aの劣化を防止できる材料を用いてもよい。

【0118】また、弗硝酸を用いたウェットエッチングにより保護膜21の除去を行なったが、他のエッチング液を用いてもよく、エッチングにはドライエッチングを用いてもよい。

【0119】また、絶縁酸化膜53Bは、酸素雰囲気の下に、積層体53Aに対して酸素イオンを注入することにより形成してもよい。

【0120】（第4の実施形態）以下、本発明の第4の実施形態について図面を参照しながら説明する。

【0121】図20(a)及び図20(b)は本発明の第4の実施形態に係るIII族窒化物半導体レーザ装置であって、(a)は斜視図であり、(b)は(a)のxxb-xxb線における断面構成を示している。図20(a)に示すように、本実施形態に係る半導体レーザ装置は、主面の面方位が(0001)面のサファイアからなる基板61の上に順次形成された、n型GaNからなるn型コンタクト層62と、n型AlGaNからなるn型クラッド層63と、GaInNからなる活性層64と、p型AlGaNからなるp型クラッド層65と、p型コンタクト層66とを有している。このように、Inを含む活性層64がAlを含むn型クラッド層63とp型クラッド層65によりその上下方向から挟まれたダブルヘテロ接合からなる共振器を含むレーザ構造体60Aを持つ。ここで、図20(a)及び図20(b)に示すように、レーザ構造体60Aにおける出射端面60aと反射端面60bとが対向する方向が共振器におけるレーザ光の共振方向となる。

【0122】また、図20(a)に示すように、p型コンタクト層66の上面上には、例えばNi/Auからなるp側電極67が形成されている。一方、n型コンタクト層62の一部は露出され、露出された上面上には、例えばTi/Alからなるn側電極68が形成されている。

【0123】本実施形態の特徴として、図20(b)のレーザ光の出射光方向の断面図に示すように、レーザ構造体60Aにおける共振器ミラーとなる出射端面60a及び反射端面60bは、n型クラッド層63、活性層64及びp型クラッド層65が、基板61の主面に対して垂直な方向にエッチングされてなり、エッチングされた端面は、該端面が酸化されてなる保護酸化膜70により覆われている。従って、実質的な共振器端面は、活性層64の端面と保護酸化膜70との界面となる。

【0124】このように、本実施形態に係る半導体レーザ装置は、共振器ミラーがエッチング端面のままでなく、保護酸化膜70により覆われているため、エッチングによる欠陥等の影響を受け難い。さらに、保護酸化膜

70は、レーザ構造体60Aを形成する半導体層を直接に酸化させているため、リーク電流も発生せず、高い信頼性を得ることができる。

【0125】さらに、本実施形態に係る半導体レーザ装置は、共振器端面の端面コートが不要となるため、製造工程を削減できる。なお、保護酸化膜70の膜厚等により、出射端面と反射端面とにおけるレーザ光の反射率を最適化する必要がある。

【0126】以下、前記のように構成された半導体レーザ装置の製造方法について図面を参照しながら説明する。

【0127】図21(a)～図21(c)及び図22(a)～図22(d)は本実施形態に係る半導体レーザ装置の製造方法の工程順の断面構成を示している。ここでは、図20(a)のxxb-xxb線における断面を示し、図21(c)は正面図である。

【0128】まず、図21(a)に示すように、例えば有機金属気相成長(MOVPE)法を用いて、サファイアからなる基板61上に、n型コンタクト層62、n型クラッド層63、活性層64、p型クラッド層65及びp型コンタクト層66を順次形成する。

【0129】次に、図21(b)の断面図及び図21(c)の正面図に示すように、例えば電子サイクロトロン共鳴(ECR)エッチング法を用い、レーザ構造体形成領域60をマスクしてp型コンタクト層66、p型クラッド層65、活性層64、n型クラッド層63に対してn型コンタクト層62が露出するまでエッチングを行なうことにより、n型コンタクト層62、n型クラッド層63、活性層64、p型クラッド層65及びp型コンタクト層66からなるレーザ構造体60Aを形成すると共に、n型コンタクト層62にn側電極形成領域68Aを形成する。

【0130】次に、図22(a)の断面図に示すように、p側電極形成領域67A及びn側電極形成領域(図示せず)を覆うように、Siからなる保護膜21を選択的に形成する。

【0131】次に、図22(b)に示すように、レーザ構造体60Aに保護膜21を形成したまま、温度が約900℃の酸素雰囲気中で1時間程度の熱処理を行なうことにより、レーザ構造体60Aにおけるp側電極形成領域67A及びn側電極形成領域を除く上面及び側面にレーザ構造体60Aが酸化されてなる保護酸化膜70を形成する。

【0132】次に、図22(c)に示すように、保護膜21を弗硝酸を用いて除去することにより、p型コンタクト層におけるp側電極形成領域67A及びn側電極形成領域を露出する。

【0133】次に、図22(d)に示すように、p側電極形成領域67Aにp側電極67を形成し、また、n側電極形成領域のn側電極を形成して、図20(a)に示

す半導体レーザ装置を得る。

【0134】このように、本実施形態に係る製造方法によると、レーザ構造体60Aを構成するGa<sub>0.5</sub>N系半導体層及びそのエッチング端面を酸化させることにより、出射端面60aと反射端面60bとに端面コートが不要となると共に、共振器ミラーが保護酸化膜70とレーザ構造体60Aとの界面に形成できる。

【0135】なお、本実施形態に係る半導体レーザ装置は、レーザ光の横モードの制御性を高めるために、活性層64をストライプ形状に加工したり、p型クラッド層65に電流狭窄層を設けたりしてもよい。

【0136】また、本実施形態においては、保護酸化膜70の形成時に、p側電極形成領域67A及びn側電極形成領域68Aをマスクする保護膜21にシリコンを用いたが、これに限らず、シリコン酸化膜又はシリコン窒化膜等の熱処理によるp型コンタクト層66及びn型コンタクト層62の劣化を防止できる材料であればよい。

【0137】また、弗硝酸を用いたウェットエッチングにより保護膜21の除去を行なったが、他のエッチング液を用いてもよく、エッチングにはドライエッチングを用いてもよい。

【0138】また、基板61にサファイアを用いたが、これに限らず、SiC等のGa<sub>0.5</sub>N系半導体層がエピタキシャル成長可能な基板であればよい。

【0139】

【発明の効果】本発明に係る第1の半導体装置及びその製造方法によると、基板上における活性領域の周辺部に、III族窒化物半導体が酸化されてなる絶縁酸化膜を形成するため、該絶縁酸化膜と基板又は絶縁酸化膜と活性領域との密着性が良好となるので、装置の歩留まり及び信頼性が向上する。

【0140】本発明に係る第2の半導体装置及びその製造方法によると、基板上におけるスクライプ領域の周辺部に、III族窒化物半導体が酸化されてなる保護酸化膜を形成するため、素子形成領域へのクラックの侵入等を防止できるので、スクライプ時の歩留まり及び信頼性を向上できる。

【0141】本発明に係る第3の半導体装置及びその製造方法によると、基板とパッド電極との間に、III族窒化物半導体が酸化されてなる絶縁酸化膜を形成するため、パッド電極が基板から剥がれることがなくなるので、装置の歩留まり及び信頼性が向上する。

【0142】本発明に係る第4の半導体装置及びその製造方法によると、レーザ構造体における共振器の端面を含む側面に、III族窒化物半導体が酸化されてなる保護酸化膜を形成するため、エッチングによる欠陥等の影響を受けなくなるので、装置の信頼性を向上できる。

【図面の簡単な説明】

【図1】(a)及び(b)は本発明の第1の実施形態に係るGa<sub>0.5</sub>N系酸化分離型HEMTを示し、(a)は平面

図であり、(b)は(a)のIb-Ib線における構成断面図である。

【図2】本発明の第1の実施形態に係る酸化分離型HEMTにおける絶縁酸化膜上のショットキ電極と活性領域上のオーミック電極との電圧-電流特性を示すグラフである。

【図3】本発明の第1の実施形態に係る酸化分離型HEMTと従来のメサ分離型HEMTとのドレイン電流のゲート電圧依存性を示すグラフである。

【図4】(a)～(c)は本発明の第1の実施形態に係る酸化分離型HEMTの製造方法を示す工程順の構成断面図である。

【図5】(a)～(c)は本発明の第1の実施形態に係る酸化分離型HEMTの製造方法を示す工程順の構成断面図である。

【図6】本発明の第1の実施形態に係る酸化分離型HEMTのGa<sub>0.5</sub>N系半導体からなる積層体の詳細を示す構成断面図である。

【図7】本発明の第1の実施形態に係る酸化分離型HEMTにおける絶縁酸化膜の膜厚の熱処理時間依存性を示すグラフである。

【図8】本発明の第1の実施形態に係る酸化分離型HEMTにおける絶縁酸化膜の膜厚と素子間のリーク電流との関係を示すグラフである。

【図9】(a)～(c)は本発明の第1の実施形態に係る酸化分離型HEMTにおける基板の深さ方向の原子のプロファイルを示し、(a)は熱処理を行ない保護膜を除去した後の絶縁酸化膜のグラフであり、(b)は保護膜によりマスクされた状態の活性領域を示すグラフであり、(c)は熱処理を施さない状態の積層体を示す比較用のグラフである。

【図10】本発明の第1の実施形態に係る酸化分離型HEMTにおける熱処理後の保護膜と絶縁酸化膜との弗硝酸によるウェットエッチングのエッチング量の時間依存性を示すグラフである。

【図11】本発明の第1の実施形態に係る酸化分離型HEMTにおけるオーミック電極のコンタクト抵抗のアンモニア処理の有無による電極間隔依存性を示すグラフである。

【図12】本発明の第2の実施形態に係るウェハ状態のGa<sub>0.5</sub>N系半導体装置におけるスクライプ領域を示す構成断面図である。

【図13】本発明の第2の実施形態に係るウェハ状態の半導体装置と従来のウェハ状態の半導体装置とにおけるスクライプ時の不良率とスクライプ領域の幅との関係を示すグラフである。

【図14】本発明の第2の実施形態の一変形例に係るウェハ状態のGa<sub>0.5</sub>N系半導体装置におけるスクライプ領域を示す構成断面図である。

【図15】(a)～(c)は本発明の第2の実施形態に

係る半導体装置の製造方法を示す工程順の構成断面図である。

【図16】(a)及び(b)は本発明の第2の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図17】本発明の第3の実施形態に係るGaN系半導体装置におけるパッド電極部を示す構成断面図である。

【図18】(a)～(c)は本発明の第3の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図19】(a)及び(b)は本発明の第3の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図20】(a)及び(b)は本発明の第4の実施形態に係るIII族窒化物半導体レーザ装置を示し、(a)は斜視図であり、(b)は(a)のxxb-xxb線における構成断面図である。

【図21】(a)～(c)は本発明の第4の実施形態に係る半導体レーザ装置の製造方法を示し、(a)エビタキシャル成長後の構成断面図であり、(b)は(c)のxxIb-xxIb線における構成断面図であり、(c)はレーザ構造体の正面図である。

【図22】(a)～(d)は本発明の第4の実施形態に係る半導体レーザ装置の製造方法を示す工程順の構成断面図である。

【図23】(a)及び(b)は従来品のウェハ状態のGaN系半導体装置を示し、(a)は平面図であり、(b)は(a)のxxIIIb-xxIIIb線における構成断面図である。

【図24】従来のメサ分離型HEMTを模した擬似素子の構成断面図である。

【図25】図24に示す擬似素子のショットキ電極と活性領域上のオーミック電極との電圧-電流特性を示すグラフである。

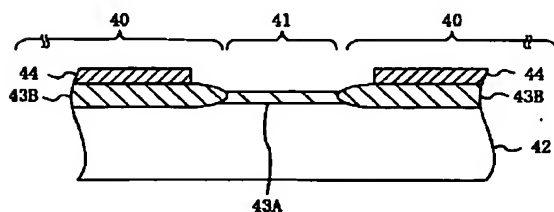
【符号の説明】

- 11 基板
- 12 積層体
- 12A 活性領域
- 12B 絶縁酸化膜

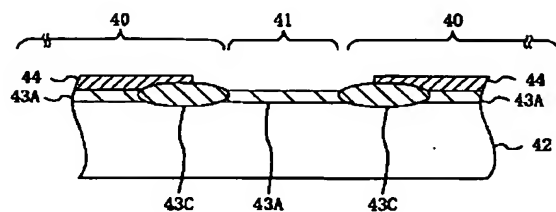
\*

- \* 13 ゲート電極
- 13a 引き出し部
- 14 オーミック電極
- 20 活性領域形成領域
- 21 保護膜
- 31 バッファ層
- 32 活性層
- 33 第1障壁層
- 34 第2障壁層
- 35 第3障壁層
- 40 チップ形成領域(素子形成領域)
- 41 スクライブ領域
- 42 基板
- 43A 積層体
- 43B 保護酸化膜
- 43C 保護酸化膜
- 44 絶縁膜
- 50 素子形成領域
- 51 パッド電極形成領域
- 52 基板
- 53A 積層体
- 53B 絶縁酸化膜
- 54 パッド電極
- 60A レーザ構造体
- 60 レーザ構造体形成領域
- 60a 出射端面
- 60b 反射端面
- 61 基板
- 62 n型コンタクト層
- 63 n型クラッド層
- 64 活性層
- 65 p型クラッド層
- 66 p型コンタクト層
- 67 p側電極
- 67A p側電極形成領域
- 68 n側電極
- 68A n側電極形成領域
- 70 保護酸化膜

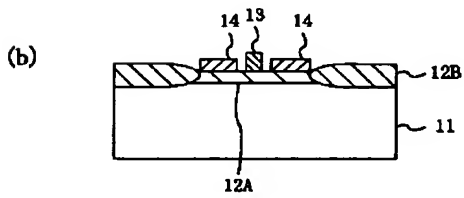
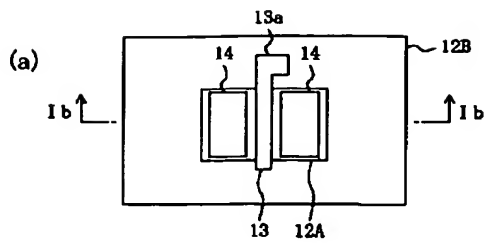
【図12】



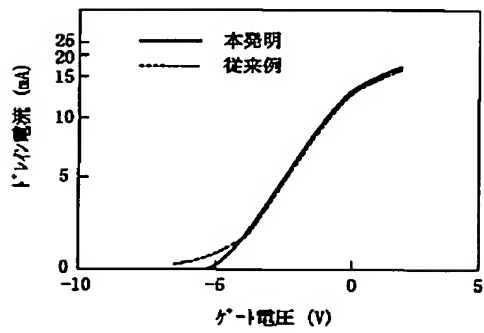
【図14】



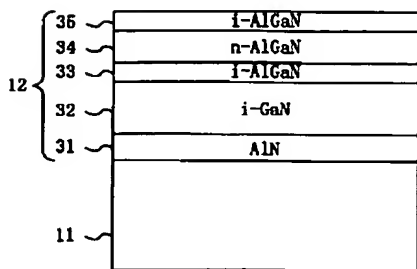
【図1】



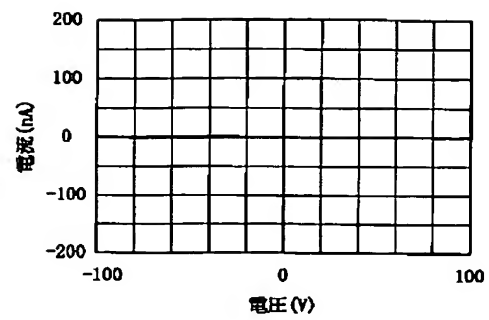
【図3】



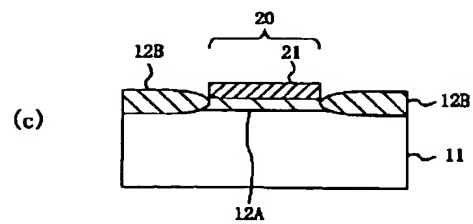
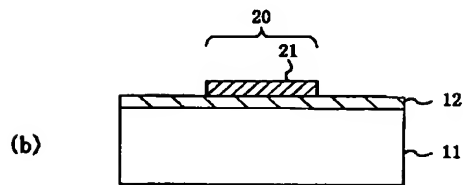
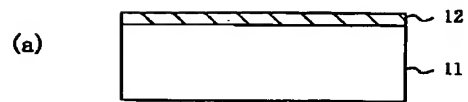
【図6】



【図2】

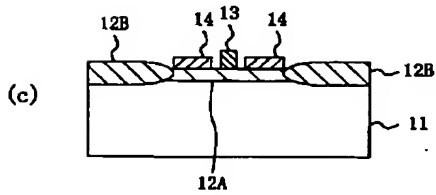
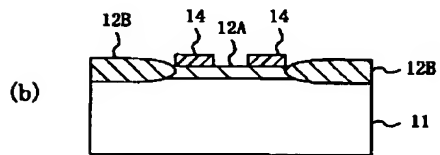
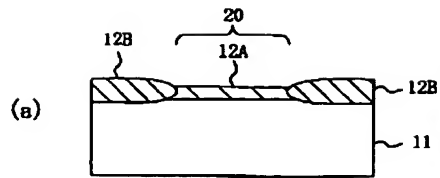


【図4】

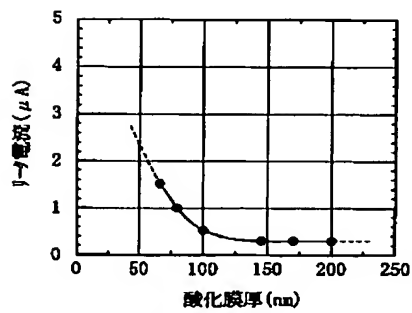




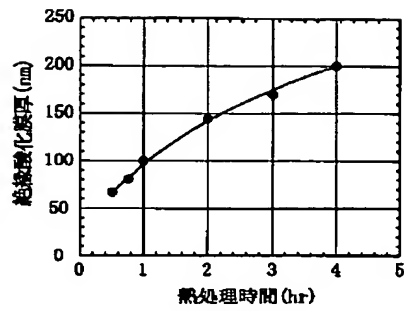
【図5】



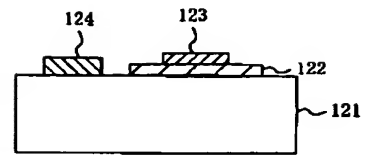
【図8】



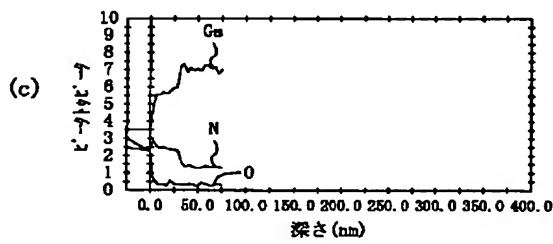
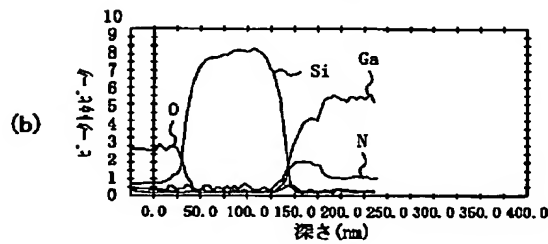
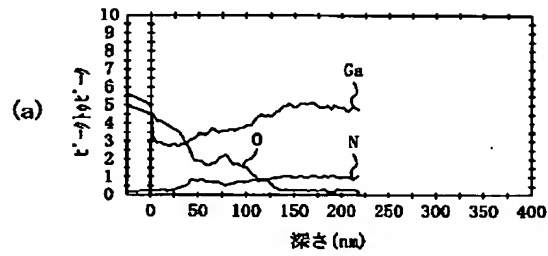
【図7】



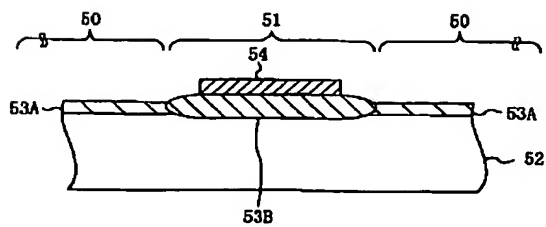
【図24】



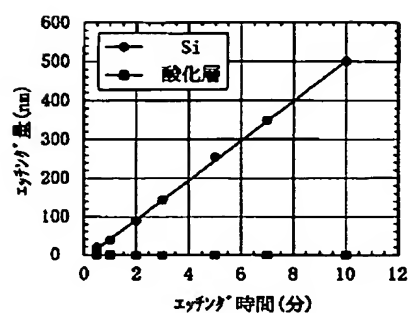
【図9】



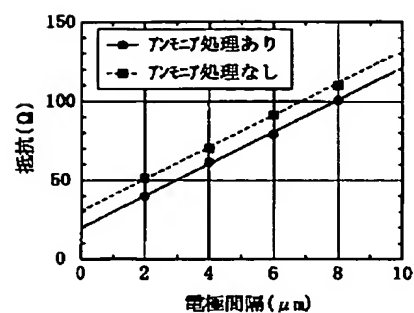
【図17】



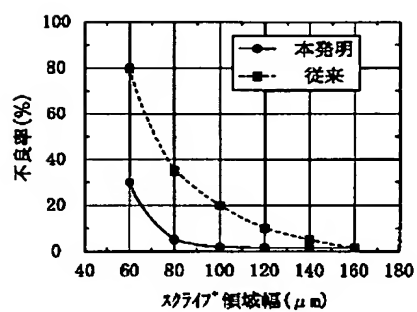
【図10】



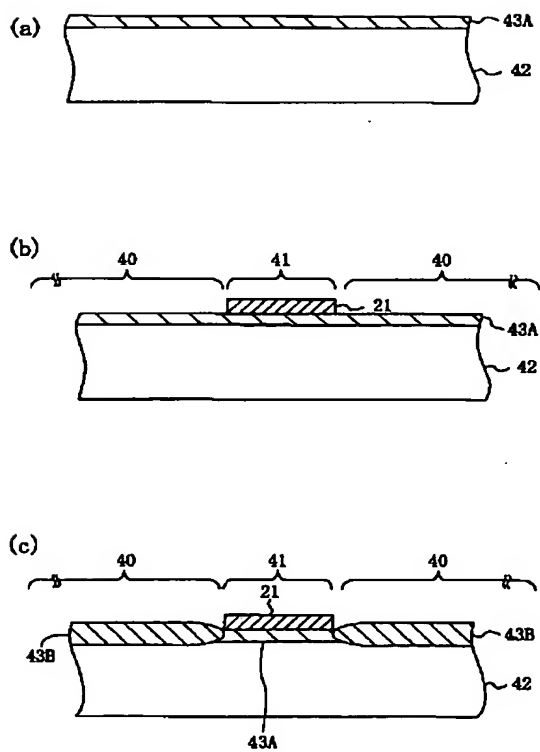
【図11】



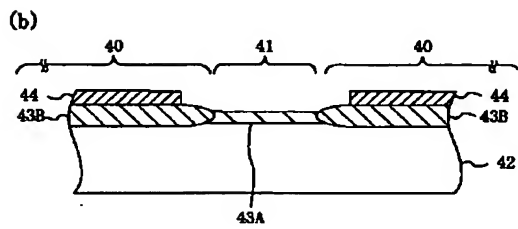
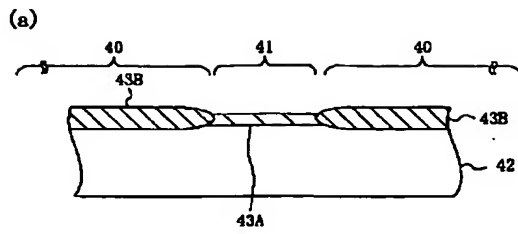
【図13】



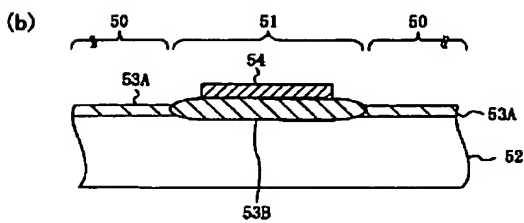
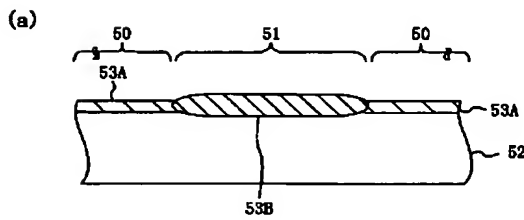
【図15】



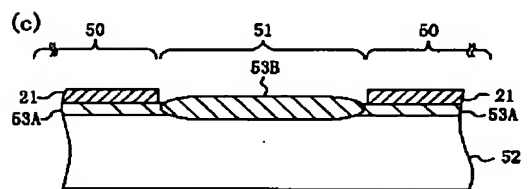
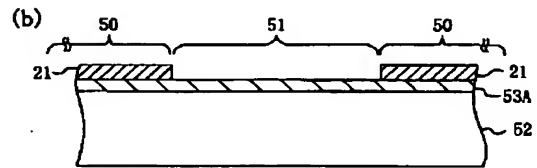
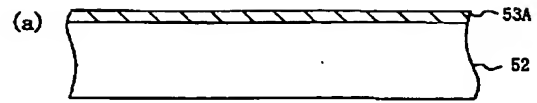
【図16】



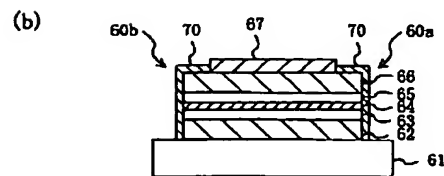
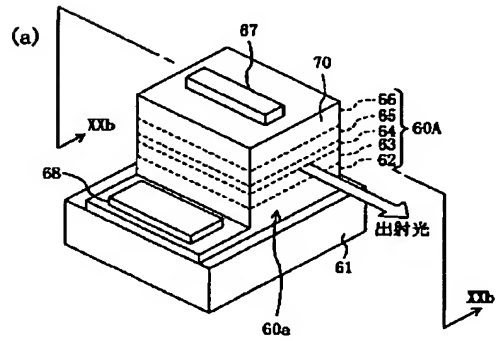
【図19】



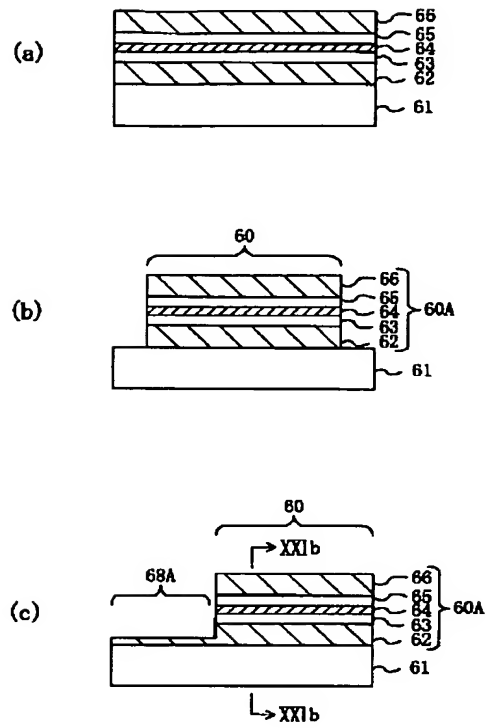
【図18】



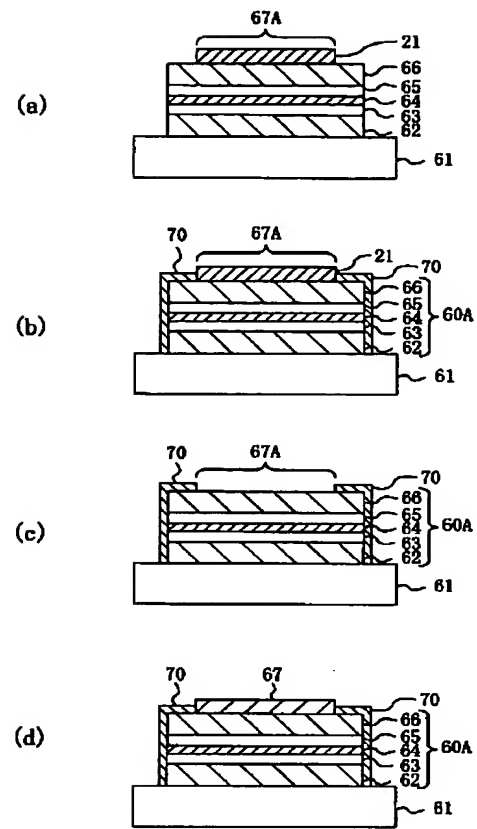
【図20】



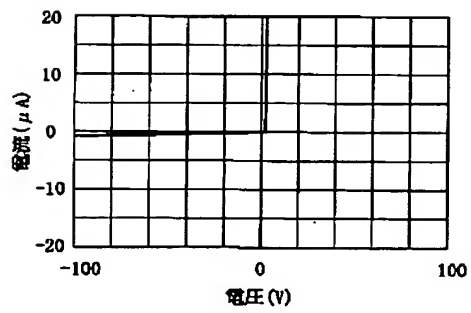
【図21】



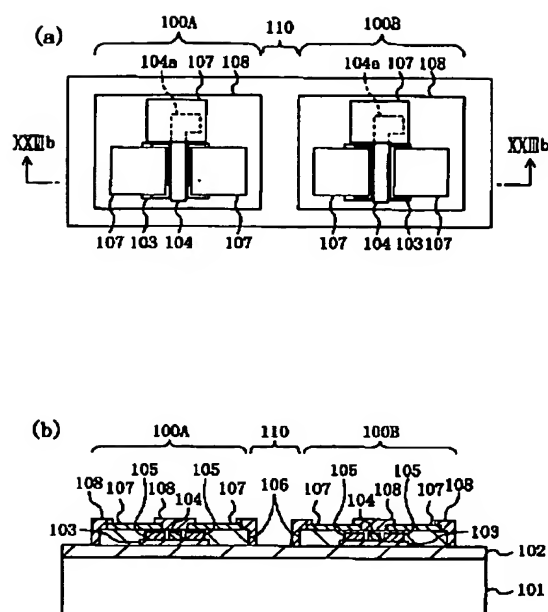
【図22】



【図25】



【図23】



フロントページの続き

| (51)Int.Cl. <sup>7</sup> | 識別記号 | F I            | タームコード (参考)                    |
|--------------------------|------|----------------|--------------------------------|
| H 0 1 L 29/205           |      | H 0 1 L 21/306 | B                              |
| 21/331                   |      | 29/72          |                                |
| 29/73                    |      |                |                                |
| H 0 1 S 5/028            |      |                |                                |
| 5/323                    |      |                |                                |
| (72)発明者 松野 年伸            |      | F ターム (参考)     | SF003 BA11 BA13 BM01 BM03 BP23 |
| 大阪府高槻市幸町1番1号 松下電子工業      |      |                | BP46 BZ03                      |
| 株式会社内                    |      |                | SF043 AA09 AA31 AA35 BB01 BB22 |
| (72)発明者 池田 義人            |      |                | BB23                           |
| 大阪府高槻市幸町1番1号 松下電子工業      |      |                | SF058 BA10 BA20 BB01 BC02 BC20 |
| 株式会社内                    |      |                | BF55 BF62 BJ01                 |
| (72)発明者 正戸 宏幸            |      |                | SF073 AA04 AA84 CA07 CB05 DA05 |
| 大阪府高槻市幸町1番1号 松下電子工業      |      |                | DA25 DA27 DA33 DA35 EA29       |
| 株式会社内                    |      |                | SF102 GB01 GC01 GD01 GJ02 GJ10 |
|                          |      |                | GK04 GL04 GM08 GQ00 GQ01       |
|                          |      |                | GS03 GT03 GV03 GV06 GV07       |
|                          |      |                | GV08 HC01 HC10 HC15            |